

#2
4-9-01

Docket No.: 43889-992

PATENT

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

Jc841 U.S. PTO
09/697429
10/27/00

In re Application of

Takenobu TANI

Serial No.:

Group Art Unit:

Filed: October 27, 2000

Examiner:

For: MICROPROCESSOR AND PROGRAM MODIFICATION METHOD IN THE
MICROPROCESSOR

**CLAIM OF PRIORITY AND
TRANSMITTAL OF CERTIFIED PRIORITY DOCUMENT**

Assistant Commissioner for Patents
Washington, DC 20231

Sir:

In accordance with the provisions of 35 U.S.C. 119, Applicant hereby claims the priority of:

Japanese Patent Application No. 11-308140,
filed October 29, 1999

cited in the Declaration of the present application. A certified copy is submitted herewith.

Respectfully submitted,

MCDERMOTT, WILL & EMERY



Michael E. Fogarty
Registration No. 36,139

600 13th Street, N.W.
Washington, DC 20005-3096
(202) 756-8000 MEF:dtb
Date: October 27, 2000
Facsimile: (202) 756-8087

002227 624633

43889-992

to Tami

October 27, 2000

日 本 国 特 許 庁

PATENT OFFICE
JAPANESE GOVERNMENT

McDermott, Will & Emery



別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日

Date of Application:

1999年10月29日

出 願 番 号

Application Number:

平成11年特許願第308140号

出 願 人

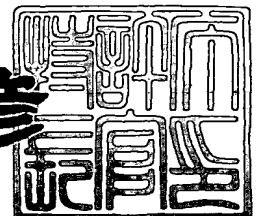
Applicant (s):

松下電器産業株式会社

2000年 4月21日

特許庁長官
Commissioner,
Patent Office

近 藤 隆 彦



出証番号 出証特2000-3028223

【書類名】 特許願

【整理番号】 5037610083

【提出日】 平成11年10月29日

【あて先】 特許庁長官 殿

【国際特許分類】 G06F 11/00

【発明者】

 【住所又は居所】 大阪府門真市大字門真 1 0 0 6 番地 松下電器産業株式会社内

 【氏名】 谷 丈暢

【特許出願人】

 【識別番号】 000005821

 【氏名又は名称】 松下電器産業株式会社

【代理人】

 【識別番号】 100077931

 【弁理士】

 【氏名又は名称】 前田 弘

【選任した代理人】

 【識別番号】 100094134

 【弁理士】

 【氏名又は名称】 小山 廣毅

【手数料の表示】

 【予納台帳番号】 014409

 【納付金額】 21,000円

【提出物件の目録】

 【物件名】 明細書 1

 【物件名】 図面 1

 【物件名】 要約書 1

 【包括委任状番号】 9601026

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 マイクロプロセッサ、およびマイクロプロセッサにおけるプログラム変更方法

【特許請求の範囲】

【請求項 1】 プログラム変更機能を有するマイクロプロセッサであって、
処理対象のプログラムを構成する命令を格納する ROM と、プログラム変更のための修正命令を格納する修正命令記憶部とを有する命令記憶部と、

前記 ROM における命令の格納位置を示す命令アドレスを入力とし、この命令アドレスが、修正を必要とする命令のアドレスである修正アドレスと一致するとき、この命令アドレスを、前記修正命令記憶部において修正命令が格納された代替アドレスに変換するアドレス変換部とを備えた
ことを特徴とするマイクロプロセッサ。

【請求項 2】 請求項 1 記載のマイクロプロセッサにおいて、
前記アドレス変換部は、
前記修正アドレスの所定ビットの値を保持する修正アドレス記憶部と、
入力された命令アドレスの前記所定ビットの値と前記修正アドレス記憶部に保持されたビット値とを比較し、これらのビット値が一致するか否かを判定するアドレス比較器と、
前記代替アドレスの前記所定ビットの値を保持する代替アドレス記憶部と、
前記アドレス比較器の判定結果を受け、ビット値が一致していると判定されたときは、前記代替アドレス記憶部に保持されたビット値を新たな命令アドレスの前記所定ビットの値として出力する一方、そうでないときは、前記命令アドレスの前記所定ビットの値を前記新たな命令アドレスの前記所定ビットの値として出力するアドレスセクタとを備えたものである
ことを特徴とするマイクロプロセッサ。

【請求項 3】 請求項 1 記載のマイクロプロセッサにおいて、
前記アドレス変換部は、
命令アドレスを代替アドレスに変換する際における変換対象のビット幅が、変更可能に構成されている

ことを特徴とするマイクロプロセッサ。

【請求項 4】 請求項 3 記載のマイクロプロセッサにおいて、
前記アドレス変換部は、
前記修正アドレスの所定ビットの値を保持する修正アドレス記憶部と、
前記命令アドレスの前記所定ビットの値と前記修正アドレス記憶部に保持されたビット値とを比較し、これらのビット値が一致するか否かを判定するアドレス比較器と、

前記代替アドレスの前記所定ビットの値を保持する代替アドレス記憶部と、
前記アドレス比較器の判定結果を受け、ビット値が一致していると判定されたときは、前記代替アドレス記憶部に保持されたビット値を新たな命令アドレスの前記所定ビットの値として出力する一方、そうでないときは、前記命令アドレスの前記所定ビットの値を前記新たな命令アドレスの前記所定ビットの値として出力するアドレスセクタと、

前記所定ビットを変換対象ビットとして指定するか否かを設定可能に構成されており、前記所定ビットを変換対象ビットとして指定しないとき、前記アドレスセクタに、前記アドレス比較器の判定結果に拘わらず、前記命令アドレスの前記所定ビットの値を前記新たな命令アドレスの前記所定ビットの値として出力させる変換範囲設定手段とを備えたものである

ことを特徴とするマイクロプロセッサ。

【請求項 5】 請求項 1 記載のマイクロプロセッサにおいて、
前記アドレス変換部は、入力された命令アドレスに応じた変換アドレスを出力するメモリによって構成されている
ことを特徴とするマイクロプロセッサ。

【請求項 6】 請求項 1 記載のマイクロプロセッサにおいて、
前記アドレス変換部は、入力された命令アドレスに応じた変換アドレスを出力するフィールドプログラマブルロジックによって構成されている
ことを特徴とするマイクロプロセッサ。

【請求項 7】 請求項 1 記載のマイクロプロセッサにおいて、
前記修正命令記憶部は、

プログラム変更のための追加命令が格納されており、かつ、前記代替アドレスが示す格納位置に、前記追加命令が格納された位置を分岐先とする分岐命令が格納されている

ことを特徴とするマイクロプロセッサ。

【請求項 8】 処理対象のプログラムを構成する命令を格納する ROM と、プログラム変更のための修正命令を格納する修正命令記憶部とを有する命令記憶部を備えたマイクロプロセッサにおいて、プログラム変更を行う方法であって、

前記 ROM における命令の格納位置を示す命令アドレスと、修正を必要とする命令のアドレスである修正アドレスとを比較し、

前記命令アドレスと前記修正アドレスとが一致するとき、この命令アドレスを、前記修正命令記憶部において修正命令が格納された代替アドレスに変換することを特徴とするプログラム変更方法。

【請求項 9】 請求項 8 記載のプログラム変更方法であって、

アドレス比較の前に、

前記修正命令記憶部に、プログラム変更のための追加命令を格納し、

前記代替アドレスが示す格納位置に、前記追加命令が格納された位置を分岐先とする分岐命令を格納する

ことを特徴とするプログラム変更方法。

【発明の詳細な説明】

【 0 0 0 1 】

【発明の属する技術分野】

本発明は、マイクロプロセッサにおけるプログラム変更機能に関する技術に属する。

【 0 0 0 2 】

【従来の技術】

マイクロプロセッサは、プログラムを構成する命令を記憶装置から取得し、これをデコーダによって解読し、その内容に応じて、演算装置、入力装置、出力装置、記憶装置または制御装置等の構成装置を制御し、順次処理を進めるものである。なお、本願明細書では、「マイクロプロセッサ」は、マイクロコンピュータ

、マイクロコントローラおよびデジタル・シグナル・プロセッサを含むものとする。

【0003】

図11はマイクロプロセッサの一般的な構成の概略を示す図である。図11に示すように、プログラムカウンタ10は次に実行すべき命令のアドレスをROM101（またはRAM）からなる命令記憶部100に供給する。命令記憶部100は供給されたアドレスに応じた命令データをデコーダ40に出力する。このような動作によって、順次処理が実行される。

【0004】

ここで、命令記憶部100を構成するROM101に格納されたプログラムについて不具合（バグ）や仕様変更が生じた場合を考える。この場合、ROM101に格納された内容をマイクロプロセッサの製造後において変更することは不可能であるので、プログラム変更のためには、新たなROMを備えたマイクロプロセッサを改めて製造する必要がある。このような再製造は、製造コストの増大や納期の遅れを招くことになり、好ましくない。

【0005】

このような再製造を防ぐために、製造後においてもプログラムの変更を可能にするいわゆるプログラム変更機能を有するマイクロプロセッサが従来から用いられている。

【0006】

図12は従来のプログラム変更機能を有するマイクロプロセッサの構成を示す図である。図12において、プログラムカウンタ10は命令アドレスバスを介して命令記憶部100に命令アドレスを供給する。命令記憶部100はプログラムが格納されたROM101を備えている。命令変更部110において、修正アドレス記憶部111は修正すべきROM101のアドレス値を保持し、代替命令記憶部112は不具合のある命令と置換する代替命令データを保持する。アドレス比較器113は修正アドレス記憶部111のアドレス値とプログラムカウンタ10から出力されたアドレス値を各マシンサイクルごとに比較し、一致しているか否かを示すアドレス一致信号を命令セクタ114に出力する。命令セクタ1

1.4 は、アドレス一致信号がアドレスの一致を示しているときは代替命令記憶部 1.1.2 からの命令データを選択する一方、アドレスの不一致を示しているときは命令記憶部 1.0.0 からの命令データを選択し、デコーダ 4.0 に出力する。

【0007】

このように、修正アドレスおよび代替命令をペアで保持し、プログラムカウンタ 1.0 から供給される命令アドレスが修正アドレスと一致したとき、この命令アドレスの命令データを代替命令データに置換してデコーダ 4.0 に供給することによって、プログラム変更機能を実現している。

【0008】

【発明が解決しようとする課題】

しかしながら、図 1.2 に示すような従来の構成では、次のような問題がある。

【0009】

まず、図 1.2 の構成では、基本的には 1 個の命令を 1 個の命令によって置換することしかできない。複数個の命令を置換できるようにするためには、命令変更部 1.1.0 の構成を複数個設けるか、または命令変更部 1.1.0 を複数回動作させる必要がある。命令変更部 1.1.0 の構成を複数個設けた場合には回路規模の増大を招く。また命令変更部 1.1.0 を複数回動作させる場合には、必ず分岐命令または割り込み処理が必要になり、本来なら不要である命令の実行処理のために無駄なマシンサイクルが費やされてしまう。さらに、割り込み処理を用いる場合には、ユーザーが利用可能な割り込み数がその分だけ少なくなる。

【0010】

分岐命令や割り込み処理の増加は、近年の製品レベルでは大きな問題となる。例えば、不具合のある命令が繰り返しループの深い箇所にある場合には、1 回の実行の際の増加ステップがたとえ数ステップであったとしても、実際にはその何十倍、何百倍ものステップが無駄に費やされることになる。特に、デジタル・シグナル・プロセッサではその演算処理の特性上、繰り返しループが多重になっていることが多いので、この問題は顕著に現れる。また、リアルタイム性が求められる用途の製品については、たとえ数ステップの増加であってもその影響は極めて大きい。

【0011】

また、命令数の増加を伴うプログラム変更を行うためには、代替命令記憶部 112 とは別に命令追加用記憶部を設ける必要があり、このため、回路規模が増大するという問題が生じる。

【0012】

前記の問題に鑑み、本発明は、マイクロプロセッサとして、不要な分岐命令や割り込み処理を伴わないプログラム変更機能を実現することを課題とする。また、命令数の増加を伴うプログラム変更を簡易な構成によって実現することを課題とする。

【0013】

【課題を解決するための手段】

前記の課題を解決するために、請求項 1 の発明が講じた解決手段は、プログラム変更機能を有するマイクロプロセッサとして、処理対象のプログラムを構成する命令を格納する ROM とプログラム変更のための修正命令を格納する修正命令記憶部とを有する命令記憶部と、前記 ROM における命令の格納位置を示す命令アドレスを入力とし、この命令アドレスが修正を必要とする命令のアドレスである修正アドレスと一致するとき、この命令アドレスを前記修正命令記憶部において修正命令が格納された代替アドレスに変換するアドレス変換部とを備えたものである。

【0014】

請求項 1 の発明によると、修正を必要とする命令については、命令記憶部に供給するアドレスを変換することによって、修正命令記憶部に格納された修正命令に変更することができる。このため、不要な分岐命令や割り込み処理の実行を伴うことなく、プログラム変更を実現することができる。また、連続するアドレス領域の修正が可能となり、1ワード単位だけでなく数ワードからなるブロック単位のプログラム変更も可能になる。

【0015】

そして、請求項 2 の発明では、前記請求項 1 のマイクロプロセッサにおけるアドレス変換部は、前記修正アドレスの所定ビットの値を保持する修正アドレス記

憶部と、入力された命令アドレスの前記所定ビットの値と前記修正アドレス記憶部に保持されたビット値とを比較し、これらのビット値が一致するか否かを判定するアドレス比較器と、前記代替アドレスの前記所定ビットの値を保持する代替アドレス記憶部と、前記アドレス比較器の判定結果を受け、ビット値が一致していると判定されたときは、前記代替アドレス記憶部に保持されたビット値を新たな命令アドレスの前記所定ビットの値として出力する一方、そうでないときは、前記命令アドレスの前記所定ビットの値を前記新たな命令アドレスの前記所定ビットの値として出力するアドレスセクタとを備えたものとする。

【0016】

また、請求項3の発明では、前記請求項1のマイクロプロセッサにおけるアドレス変換部は、命令アドレスを代替アドレスに変換する際における変換対象のビット幅が変更可能に構成されているものとする。

【0017】

そして、請求項4の発明では、前記請求項3のマイクロプロセッサにおけるアドレス変換部は、前記修正アドレスの所定ビットの値を保持する修正アドレス記憶部と、前記命令アドレスの前記所定ビットの値と前記修正アドレス記憶部に保持されたビット値とを比較し、これらのビット値が一致するか否かを判定するアドレス比較器と、前記代替アドレスの前記所定ビットの値を保持する代替アドレス記憶部と、前記アドレス比較器の判定結果を受け、ビット値が一致していると判定されたときは、前記代替アドレス記憶部に保持されたビット値を新たな命令アドレスの前記所定ビットの値として出力する一方、そうでないときは、前記命令アドレスの前記所定ビットの値を前記新たな命令アドレスの前記所定ビットの値として出力するアドレスセクタと、前記所定ビットを変換対象ビットとして指定するか否かを設定可能に構成されており、前記所定ビットを変換対象ビットとして指定しないとき、前記アドレスセクタに、前記アドレス比較器の判定結果に拘わらず、前記命令アドレスの前記所定ビットの値を前記新たな命令アドレスの前記所定ビットの値として出力させる変換範囲設定手段とを備えたものとする。

【0018】

また、請求項 5 の発明では、前記請求項 1 のマイクロプロセッサにおけるアドレス変換部は、入力された命令アドレスに応じた変換アドレスを出力するメモリによって構成されているものとする。

【0019】

また、請求項 6 の発明では、前記請求項 1 のマイクロプロセッサにおけるアドレス変換部は、入力された命令アドレスに応じた変換アドレスを出力するフィールドプログラマブルロジックによって構成されているものとする。

【0020】

また、請求項 7 の発明では、前記請求項 1 のマイクロプロセッサにおける修正命令記憶部は、プログラム変更のための追加命令が格納されており、かつ、前記代替アドレスが示す格納位置に前記追加命令が格納された位置を分岐先とする分岐命令が格納されているものとする。

【0021】

請求項 7 の発明によると、命令数の増加を伴うプログラム変更を、簡易な構成によって実現することができる。

【0022】

また、請求項 8 の発明が講じた解決手段は、処理対象のプログラムを構成する命令を格納する ROM と、プログラム変更のための修正命令を格納する修正命令記憶部とを有する命令記憶部を備えたマイクロプロセッサにおいて、プログラム変更を行う方法として、前記 ROM における命令の格納位置を示す命令アドレスと、修正を必要とする命令のアドレスである修正アドレスとを比較し、前記命令アドレスと前記修正アドレスとが一致するとき、この命令アドレスを前記修正命令記憶部において修正命令が格納された代替アドレスに変換するものである。

【0023】

請求項 8 の発明によると、修正を必要とする命令については、命令記憶部に供給するアドレスを変換することによって、修正命令記憶部に格納された修正命令に変更することができる。このため、不要な分岐命令や割り込み処理の実行を伴うことなく、プログラム変更を実現することができる。また、連続するアドレス領域の修正が可能となり、1ワード単位だけでなく数ワードからなるブロック単

位のプログラム変更も可能になる。

【0024】

そして、請求項9の発明では、前記請求項8のプログラム変更方法におけるアドレス比較の前に、前記修正命令記憶部にプログラム変更のための追加命令を格納し、前記代替アドレスが示す格納位置に前記追加命令が格納された位置を分岐先とする分岐命令を格納するものとする。

【0025】

【発明の実施の形態】

以下、本発明の実施の形態について、図面を参照しながら具体的に説明する。

【0026】

図1は本発明の一実施形態に係るプログラム変更機能を有するマイクロプロセッサの構成を示す図である。図1において、プログラムカウンタ10はアドレス変換部20に命令アドレスバスを介して命令アドレスを供給する。アドレス変換部20はプログラム変更のために必要なとき、入力された命令アドレスを変換する。命令記憶部30はプログラムカウンタ10から出力された命令アドレス値ではなく、アドレス変換部20によってプログラム変更に応じて変換されたアドレス値を受け取り、このアドレス値に応じた命令データをデコーダ40に出力する。

【0027】

命令記憶部30は本来の処理対象のプログラムを構成する命令を格納するROM31と、プログラム変更のための修正用の命令を格納する修正命令記憶部32とを有している。ROM31および修正命令記憶部32はいずれも、マイクロプロセッサがアクセス可能なアドレス空間が割り当てられる。アドレス変換部20は入力された命令アドレスが、修正を必要とする命令のアドレスである修正アドレスと一致するとき、この命令アドレスを、修正命令記憶部32において修正命令が格納された代替アドレスに変換する。

【0028】

図2は命令記憶部30のアドレス空間を表すメモリマップの例を示す図であり、本実施形態に係るアドレス変換の例を示す図である。図2では、ROM31は

48Kワードの記憶容量を有し、0000番地からBFFF番地までにマッピングされており、修正命令記憶部32は4Kワードの記憶容量を有するメモリであり、C000番地からCFFF番地までにマッピングされているものとする。

【0029】

いま、ROM31の1000番地に格納された命令に不具合が発生したものとする。この場合には、修正命令記憶部32の記憶領域内の代替アドレス（図2ではC800番地）に、修正した命令データを記録する。そして、アドレス変換部20を、入力された1000番地の命令アドレスがC800番地の代替アドレスに変換されるように、設定する。これにより、プログラム実行時にプログラムカウンタ10が1000番地を命令アドレスとして出力した場合には、アドレス変換部20によるアドレス変換によって、命令記憶部30には、1000番地の代わりに代替アドレスのC800番地が与えられ、デコーダ40にはC800番地に格納された命令データが供給される。すなわち、1000番地の命令をC800番地の命令に置換することができる。

【0030】

このような方式によって、ROM31のいずれのアドレスの命令についても、修正命令記憶部32の任意のアドレスの命令データと置換することが可能であり、プログラム変更を実現することができる。この命令置換においては、分岐命令や割り込みは必要ないので、無駄なマシンサイクルは消費されず、ダイナミックステップ数は増加しない。

【0031】

図3は本実施形態に係るアドレス変換の他の例を示す図である。図3では、修正命令記憶部32において、代替アドレスが示す格納位置すなわちC800番地に分岐命令が格納されており、この分岐命令の分岐先すなわちCA00番地からプログラム変更のための追加命令が格納されている。これにより、命令数の増加を伴うプログラム変更を容易に実現することができる。

【0032】

すなわち、アドレス変換によって、命令アドレス1000番地が代替アドレスC800番地に変更されると、C800番地の分岐命令が実行される。これによ

り、分岐先のC A 0 0 番地以降に格納された追加命令が実行される。このように、マイクロプロセッサがアクセス可能なアドレス空間に修正命令記憶部 3 2 が割り当てられているため、命令置換用記憶部と命令追加用記憶部とを共用することができるので、命令数が増加するプログラム変更を新たな回路を追加することなく簡易な構成によって実現することができる。

【0 0 3 3】

なお、修正命令記憶部 3 2 はRAM、EPROM、フラッシュメモリ、FeRAM若しくはFPGA等の書き込み可能なメモリ、または読み出し専用メモリ（ROM）のいずれの構成によっても実現可能である。修正命令記憶部 3 2 を書き込み可能なメモリによって構成した場合は、製造後において任意のプログラム変更が可能である。また、修正命令記憶部 3 2 をROMによって構成した場合は、製造時に予め設定したプログラム変更のみが可能である。この場合、プログラム変更の内容を予め複数種類設定しておき、マイクロプロセッサの用途に応じてプログラム変更の内容を選択することも可能である。

【0 0 3 4】

図4はアドレス変換部 2 0 の具体的な構成例を示す図である。図4では、命令アドレスの上位Mビットの変換を行う構成を示している。

【0 0 3 5】

アドレス変換部 2 0 では、命令アドレスの全ビットについて変換を行う必要は必ずしもない。例えば、特定の上位ビットのみについて変換を行い、残りの下位ビットについては変換を行わないものとする、変換対象のビット幅が小さくなるので、高速なアドレス変換が可能となり、命令記憶部 3 0 の読み出し動作も高速化できる。例えば、上記の1 0 0 0 番地からC 8 0 0 0 番地への変換は、命令アドレスの1 6 ビットのうち上位5ビットのみの変換を行うことによって実現できる。この場合のプログラム変更は、下位の1 1 ビットが表す2 Kワードの領域を単位として行われる。

【0 0 3 6】

図4において、修正アドレス記憶部 2 1 は修正すべきアドレス領域を示す修正アドレスの所定のビットとしての上位Mビットの値を保持し、代替アドレス記憶

部 22 は置換先のアドレス領域を示す代替アドレスの上位 M ビットの値を保持する。アドレス比較器 23 はプログラムカウンタ 10 から出力された命令アドレスの上位 M ビットと、修正アドレス記憶部 21 に保持されたビット値とを比較し、これらのビット値が一致するか否かを判定し、この判定結果を示す信号をアドレスセクタ 24 に出力する。

【0037】

アドレスセクタ 24 は、アドレス比較器 23 から受けた信号が、ビット値が一致していることを示すときすなわちアドレス比較器 23 によってビット値が一致していると判定されたときは、代替アドレス記憶部 22 に保持されたビット値を新たな命令アドレスの上位 M ビットとして出力する。一方、アドレス比較器 23 から受けた信号が、ビット値が一致していないことを示すときすなわちアドレス比較器 23 によってビット値が一致していないと判定されたときは、プログラムカウンタ 10 から出力された命令アドレスの上位 M ビットを新たな命令アドレスの上位 M ビットとして出力する。

【0038】

また、アドレス比較を行わない命令アドレスの下位 ($N-M$) ビットは、プログラムカウンタ 10 からそのまま命令記憶部 30 に入力される。命令記憶部 30 は、アドレスセクタ 24 から出力された新たな命令アドレスの上位 M ビットとプログラムカウンタ 10 から出力された命令アドレスの下位 ($N-M$) ビットとを併せて新たな命令アドレスとし、この新たな命令アドレスに応じた命令データをデコーダ 40 に出力する。

【0039】

なお、図 4 では図示していないが、修正アドレス記憶部 21 および代替アドレス記憶部 22 に対して格納ビット値を書き換えるための書き換えバスを設けて、プログラム実行前に格納ビット値を書き換え可能な構成としてもかまわない。また、修正アドレス記憶部 21 および代替アドレス記憶部 22 を、例えばマイクロプロセッサがアクセス可能な制御レジスタのようなプログラム実行時においても書き換え可能な構成としてもかまわない。これにより、アドレス比較器 23 が一個であっても、複数箇所のプログラム変更が可能になる。

【0040】

また、図4では命令アドレスの上位ビットのみの変換を行う構成を示しているが、当然ながら全ビットの変換も可能である。

【0041】

図5は図4に示す構成の動作の例を示す図である。図5の例では、16ビットの命令アドレスのうち比較・変更を行う所定のビットを上位8ビットとし、ROM31に格納されたプログラムを256ワードの領域毎に置換修正するものとする。ROM31は48Kワードの記憶容量を有し、0000番地からBFFF番地にマッピングされており、修正命令記憶部32は4KワードのRAMによって構成され、C000番地からCFFF番地にマッピングされている。

【0042】

図5では、プログラムの不具合がROM31の4700番地から47FF番地の間に発生した場合を想定している。このとき、修正アドレス記憶部21に不具合が生じたアドレスの上位8ビット（すなわち“47”）を設定する。そして、プログラム変更用に、修正命令記憶部32のC000番地からC0FF番地までの領域を用いるものとし、代替アドレス記憶部22に代替アドレスの上位8ビット（すなわち“C0”）を設定する。さらに、修正命令記憶部32のC000番地からC0FF番地に修正後の命令データを書き込む。

【0043】

プログラム実行時に、プログラムカウンタ10が4700番地から47FF番地までのいずれかの命令アドレスを出力したとき、アドレス比較器23はこの命令アドレスの上位8ビットの値と修正アドレス記憶部21に格納されたビット値“47”とが一致するので、アドレスセクタ23にビット値が一致する旨を示す信号を出力する。この信号を受けて、アドレスセクタ24はプログラムカウンタ10から供給された命令アドレスの上位8ビット“47”の代わりに代替アドレス記憶部22に格納されたビット値“C0”を選択し、命令記憶部30に出力する。

【0044】

したがって、4700番地から47FF番地までの命令アドレスをアクセスす

る際には、C000番地からC0FF番地までの代替アドレスがそれぞれアクセスされるため、これにより、256ワード単位のプログラム変更を実現することができる。またこの場合、C100番地からCFFF番地までは未使用のため、C000番地からC0FF番地までの領域にC100番地からCFFF番地までの領域内を分岐先とする分岐命令を記述することによって、新たな回路を増やすことなく、命令の追加挿入を実現することができる。

【0045】

図6はアドレス変換部の他の構成例を示す図である。図6では、アドレス変換部20Aは、命令アドレスの上位Mビットの変換を行うためのアドレス変換ユニット20a、20bを2個備えている。すなわち、第1のアドレス変換ユニット20aは修正アドレス記憶部21a、代替アドレス記憶部22aおよびアドレス比較器23aを有し、第2のアドレス変換ユニット20bは修正アドレス記憶部21b、代替アドレス記憶部22bおよびアドレス比較器23bを有している。そして、アドレスセクタ25は第1および第2のアドレス変換ユニット20a、20bによって共用されている。図6に示すように、アドレス変換ユニットを複数個設けることによって、一連の処理における複数箇所のプログラム変更が可能になる。

【0046】

また、アドレス変換部は、命令アドレスを代替アドレスに変換する際における変換対象のビット幅が変更可能に構成することも可能である。

【0047】

図7はアドレス変換部の構成を示す図であり、アドレス変換を行うビット幅が可変である構成例を示す図である。図7のアドレス変換部20Bは、アドレス比較器およびアドレスセクタをそれぞれ2個ずつ備えている。第1のアドレス比較器54aおよび第1のアドレスセクタ55aは上位M1ビットのアドレス比較・変換を行い、第2のアドレス比較器54bおよび第2のアドレスセクタ55bは中位M2ビットのアドレス比較・変換を行う。修正アドレス記憶部51は修正アドレスの上位M1ビットと中位M2ビットとを格納し、上位M1ビットを第1のアドレス比較器54aに供給するとともに中位M2ビットを第2のアドレ

ス比較器 54 b に供給する。代替アドレス記憶部 52 は代替アドレスの上位 M1 ビットと中位 M2 ビットとを格納し、上位 M1 ビットを第 1 のアドレスセクタ 55 a に供給するとともに中位 M2 ビットを第 2 のアドレスセクタ 55 b に供給する。

【0048】

修正範囲指定部 53 a は“0”または“1”を保持し出力する。修正範囲指定部 53 a が保持する値に応じて、アドレス変換するビット幅を設定変更することができる。修正範囲指定部 53 a および 3 入力 AND ゲート 53 b によって、変換範囲設定手段 53 が構成されている。

【0049】

修正範囲指定部 53 a が“0”を出力するときは、3 入力 AND ゲート 53 b の出力は第 2 のアドレス比較器 54 b の出力信号の値に拘わらず“0”になるので、第 2 のアドレスセクタ 55 b は第 2 のアドレス比較器 54 b の判定結果に拘わらず、プログラムカウンタ 10 から供給された命令アドレスの中位 M2 ビットを出力する。これにより、プログラムカウンタ 10 から供給される命令アドレスの上位 M1 ビットのみがアドレス変換の対象となる。

【0050】

一方、修正範囲指定部 53 a が“1”を出力するときは、第 2 のアドレスセクタ 55 b は第 1 および第 2 のアドレス比較器 54 a, 54 b の判定結果に応じて、命令アドレスの中位 M2 ビットのアドレス変換を行う。これにより、プログラムカウンタ 10 から供給される命令アドレスの上位 (M1 + M2) ビットがアドレス変換の対象となる。

【0051】

このように、修正範囲指定部 53 a の格納値の設定によって、アドレス変換の対象となるビット幅を、上位 M1 ビットまたは上位 (M1 + M2) ビットの 2 通りに設定することができる。すなわち、中位 M2 ビットは、修正範囲指定部 53 a に“1”を格納したときは変換対象ビットに含まれる一方、“0”を格納したときは変換対象ビットから除かれる。言い換えると、中位 M2 ビットを変換対象ビットとして指定するか否かを、修正範囲指定部 53 a の格納値によって設定す

ることができる。

【0052】

したがって、図7に示すような変換範囲設定手段53、第2のアドレス比較器54bおよび第2のアドレスセクタ55bを複数個設ければ、変換対象ビット幅の設定変更パターンをさらに増やすことができる。さらに言えば、図7に示すような変換範囲設定手段53、第2のアドレス比較器54bおよび第2のアドレスセクタ55bを命令アドレスの各ビット毎に設けた場合には、任意のビットを変換対象ビットとして設定可能となる。

【0053】

アドレス変換の対象となるビット幅を小さくすることによって、アドレス変換およびメモリアクセスを高速に行うことが可能である。逆に、アドレス変換の対象となるビット幅を大きくすると、アドレス変換に要する時間は増加するものの、一度に修正する領域が小さくなるため修正命令記憶部をより多くの領域に分割して用いることが可能になる。したがって、アドレス変換の対象となるビット幅をプログラム実行時に切り替えることによって、修正命令記憶部の記憶容量の有効活用が実現でき、プログラム変更の自由度を高めることができる。

【0054】

なお、図8に示すように、アドレス変換部を、入力された命令アドレスに応じた変換アドレスを出力するアドレス変換用メモリ20Cによって構成してもよい。この場合、アドレス変換用メモリ20Cには図9に示すようなアドレスの対応関係を記憶させておけばよい。図9では、16ビットのアドレスの上位8ビットのみをアドレス変換の対象としており、命令アドレスが47XXのとき、代替アドレスとしてC0XXが出力されるように設定されている。下位8ビットは変換せずに命令記憶部30にそのまま供給する。これにより、回路の簡略化およびアドレス変換の高速化を図ることができる。もちろん、アドレスの全てのビットを変換の対象としてもかまわない。

【0055】

また、図10に示すように、アドレス変換部を、入力された命令アドレスに応じた変換アドレスを出力するフィールドプログラマブルロジック20Dによって

構成してもかまわない。この場合も、フィールドプログラマブルロジック 20D によって図 9 に示すようなアドレスの対応関係を論理的に実現させればよい。

【0056】

【発明の効果】

以上のように本発明によると、不要な分岐命令や割り込み処理の実行を伴うことなく、プログラム変更を実現することができる。また、連続するアドレス領域の修正が可能となる。また、命令数の増加を伴うプログラム変更を、簡易な構成によって実現することができる。

【図面の簡単な説明】

【図 1】

本発明の一実施形態に係るプログラム変更機能を有するマイクロプロセッサの構成を示す図である。

【図 2】

本発明の一実施形態に係るアドレス変換の例を示す図である。

【図 3】

本発明の一実施形態に係るアドレス変換の他の例を示す図である。

【図 4】

図 1 におけるアドレス変換部の具体的な構成例を示す図である。

【図 5】

図 4 のアドレス変換部の動作の例を示す図である。

【図 6】

図 1 におけるアドレス変換部の他の構成例を示す図である。

【図 7】

アドレス変換を行うビット幅が変更可能に構成されたアドレス変換部の構成例を示す図である。

【図 8】

アドレス変換部をメモリによって構成した場合の図である。

【図 9】

アドレス変換のためのアドレスの対応関係の例を示す図である。

【図 10】

アドレス変換部をフィールドプログラマブルロジックによって構成した場合の図である。

【図 11】

マイクロプロセッサの一般的な構成を示す図である。

【図 12】

従来のプログラム変更機能を有するマイクロプロセッサの構成を示す図である。

【符号の説明】

20, 20A, 20B アドレス変換部

20C アドレス変換用メモリ (アドレス変換部)

20D フィールドプログラマブルロジック (アドレス変換部)

21 修正アドレス記憶部

22 代替アドレス記憶部

23 アドレス比較器

24 アドレスセクタ

30 命令記憶部

31 ROM

32 修正命令記憶部

51 修正アドレス記憶部

52 代替アドレス記憶部

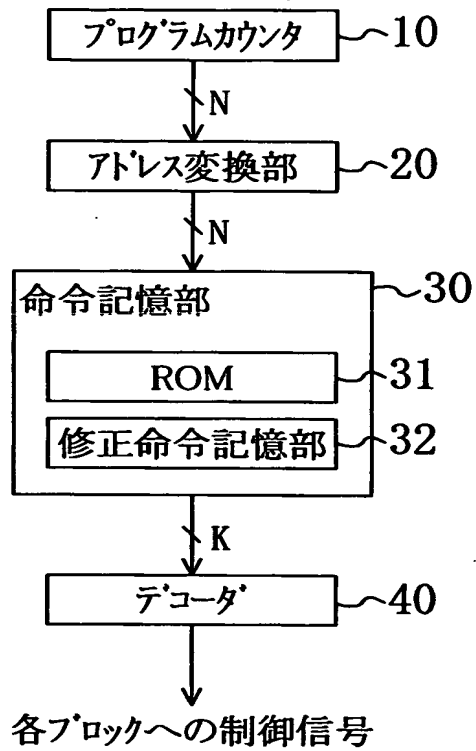
53 変換範囲設定手段

54b アドレス比較器

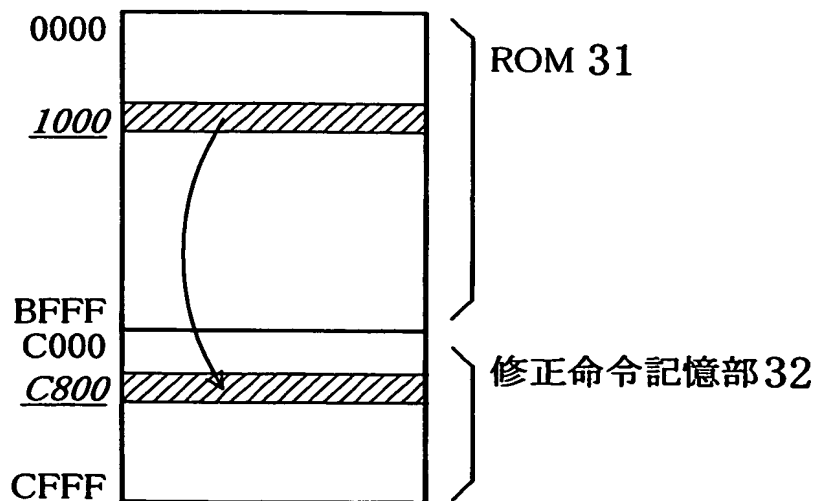
55b アドレスセクタ

【書類名】 図面

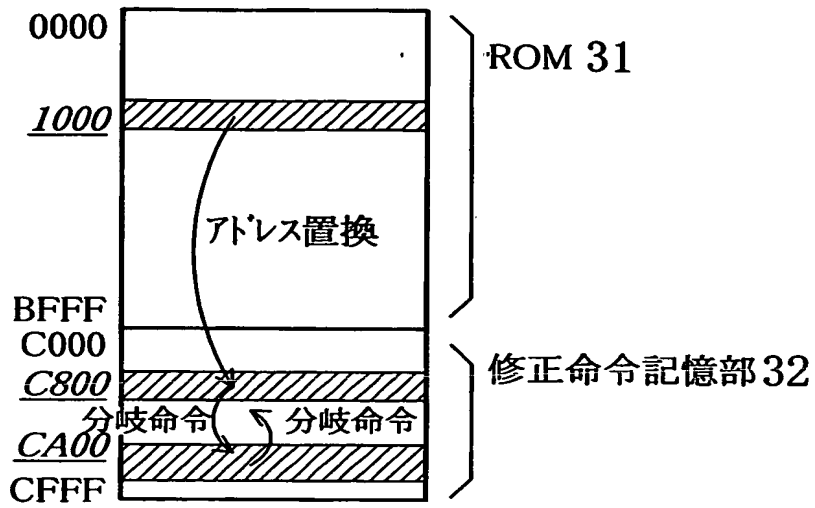
【図 1】



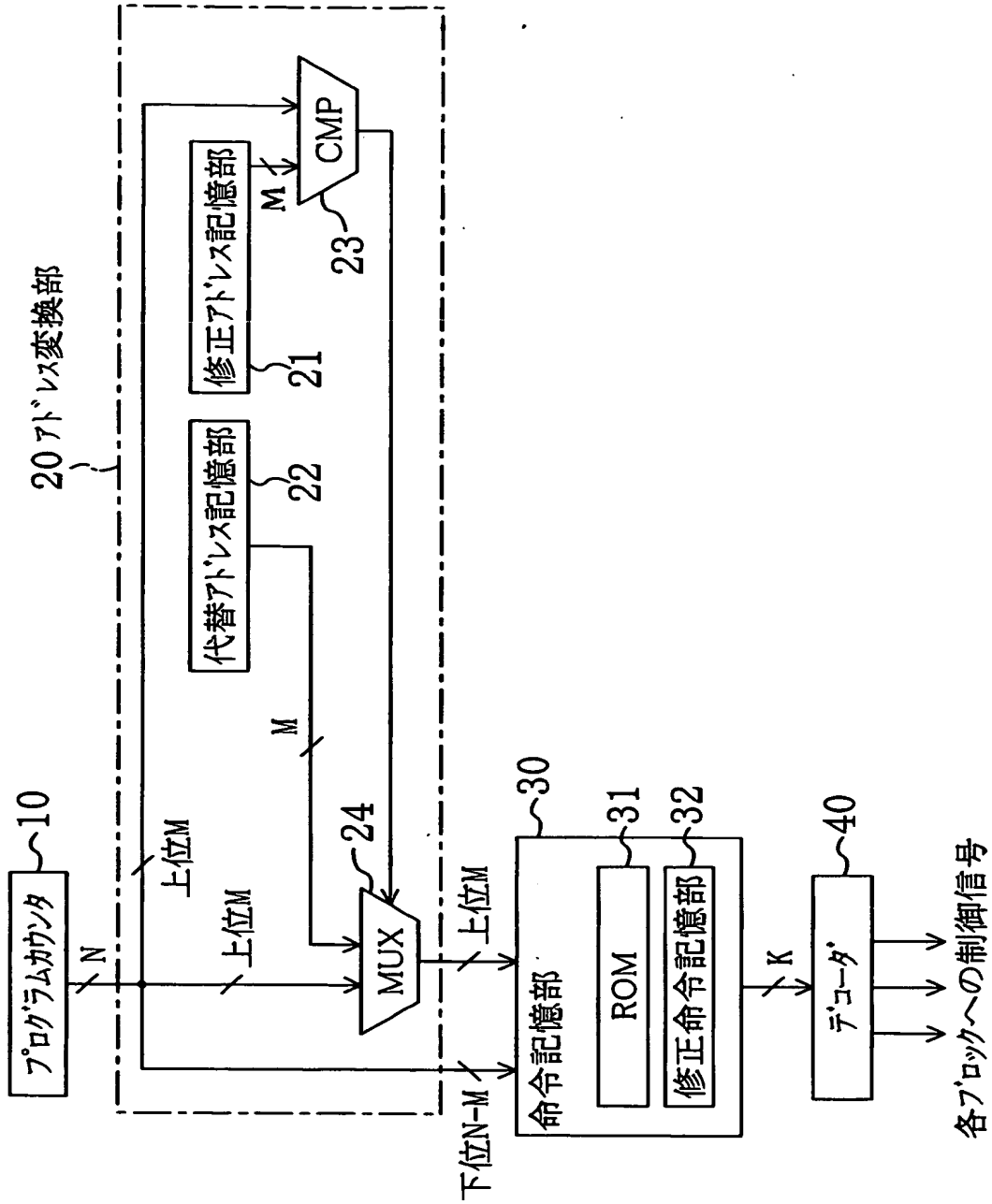
【図 2】



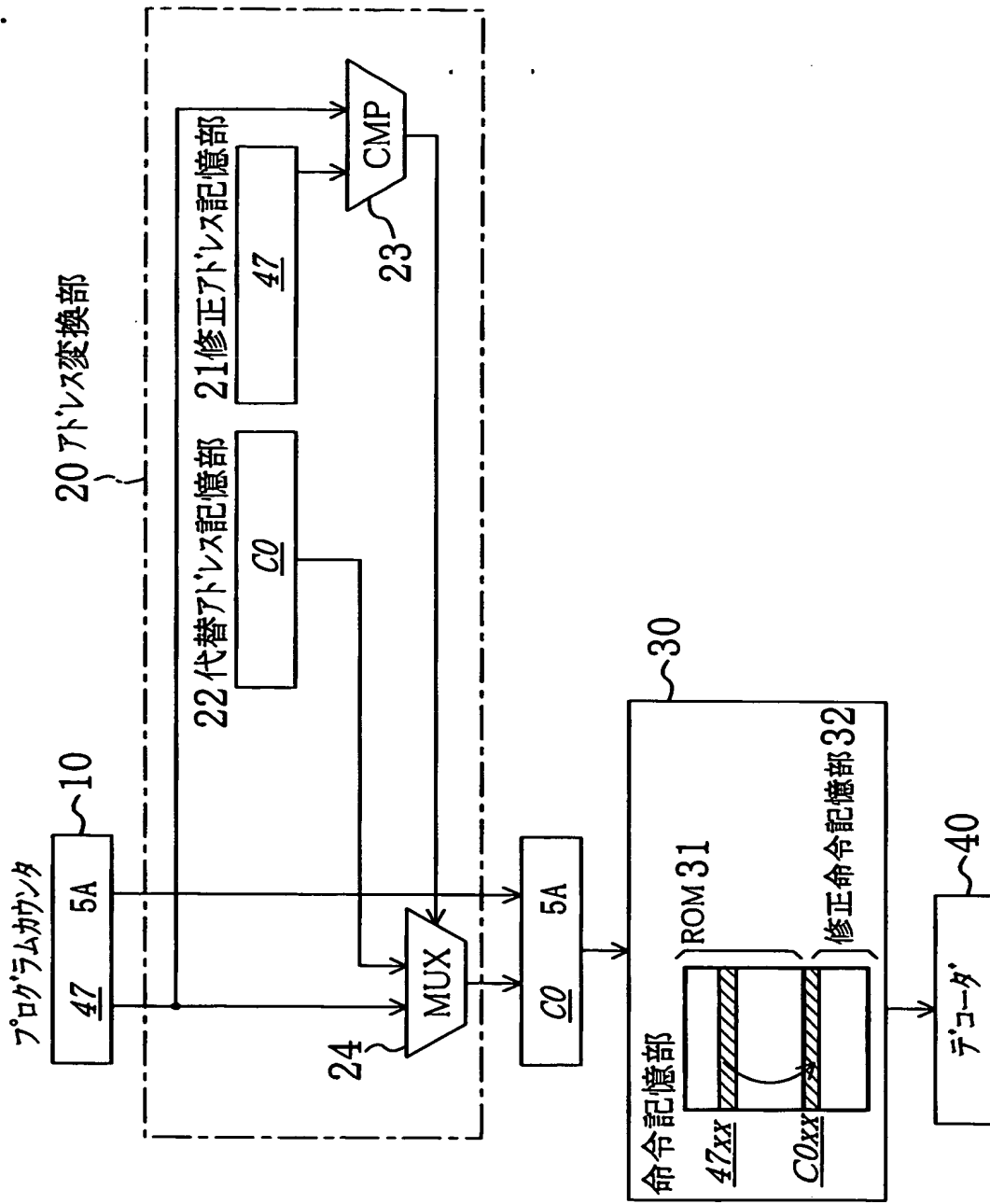
【図 3】



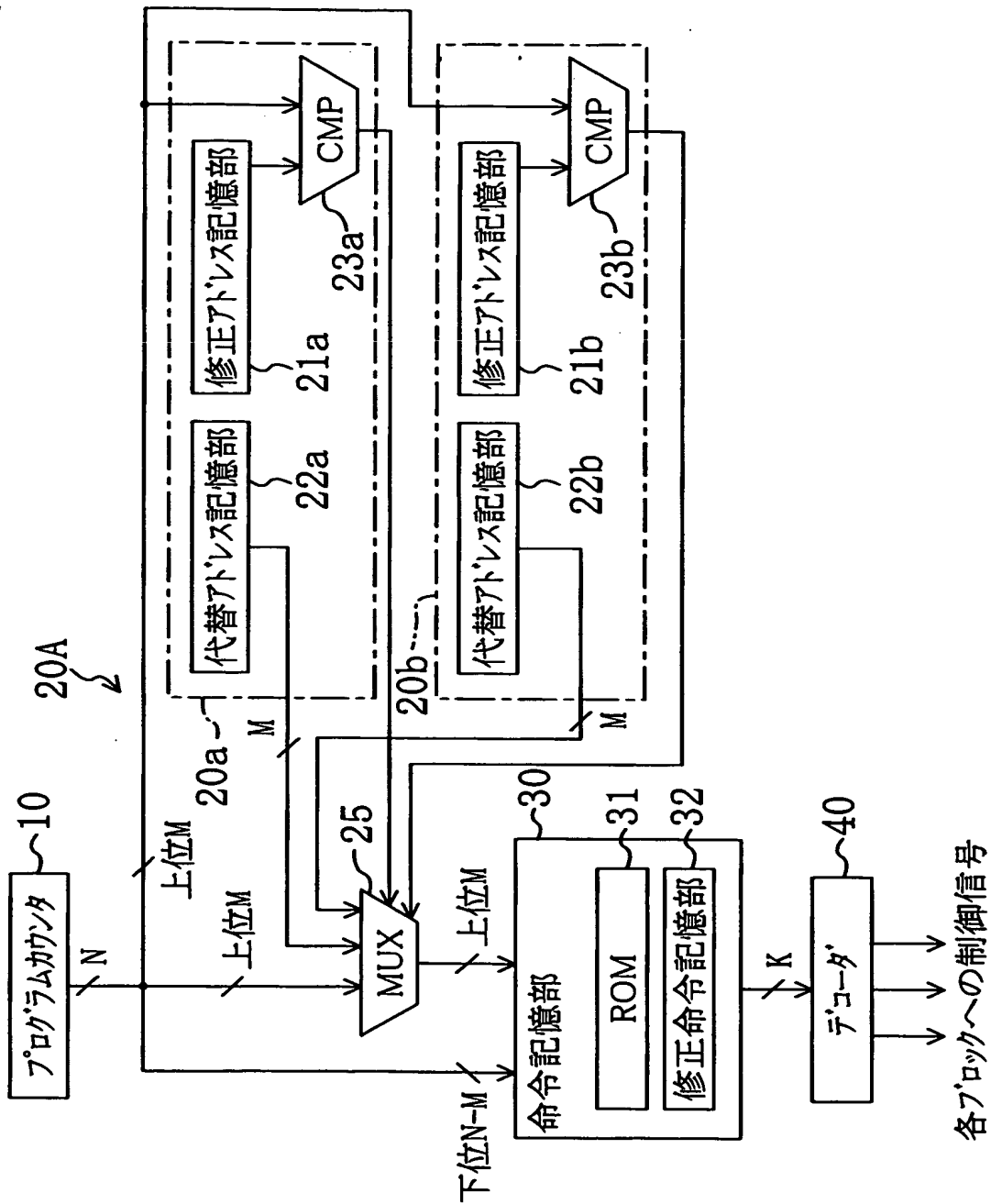
【図 4】



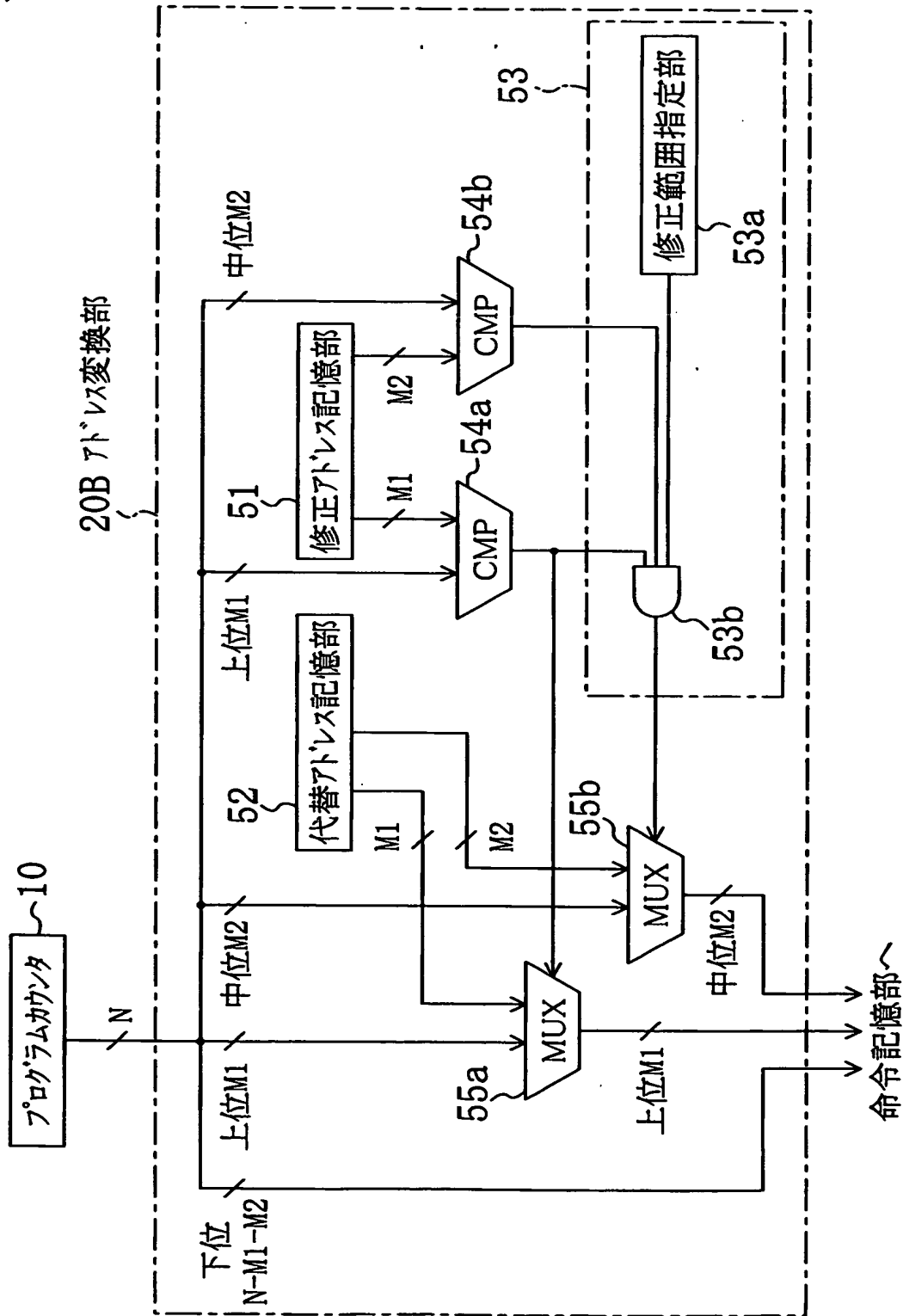
【図 5】



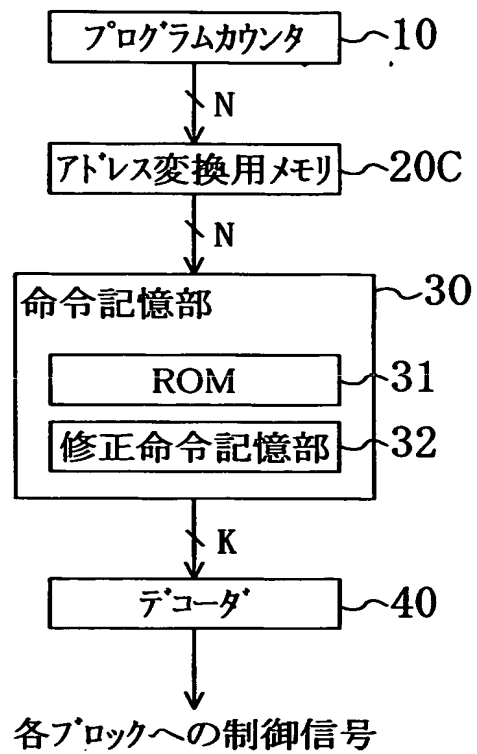
【図 6】



【図 7】



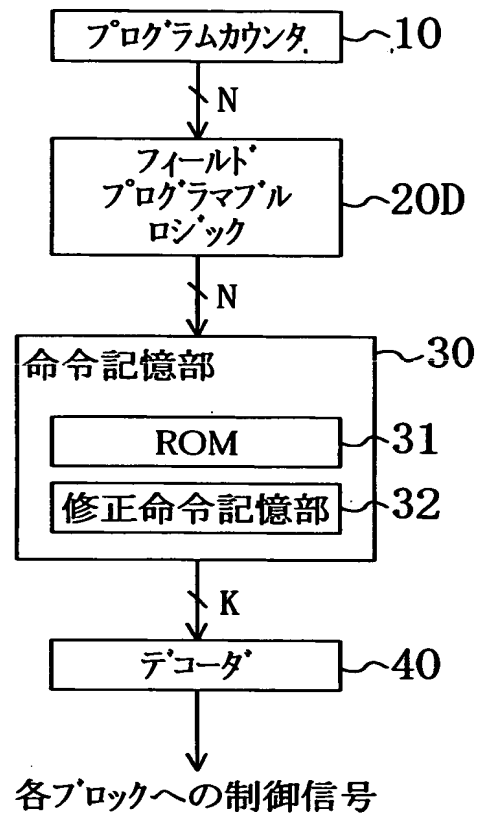
【図 8】



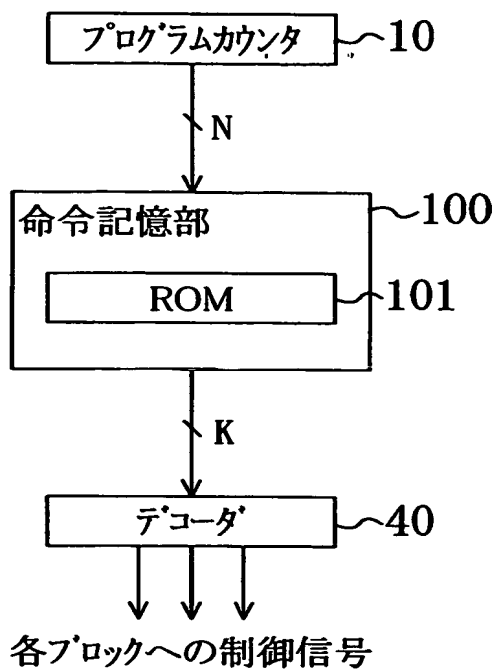
【図 9】

入力アドレス	出力アドレス
00	00
01	01
⋮	⋮
47	C0
⋮	⋮

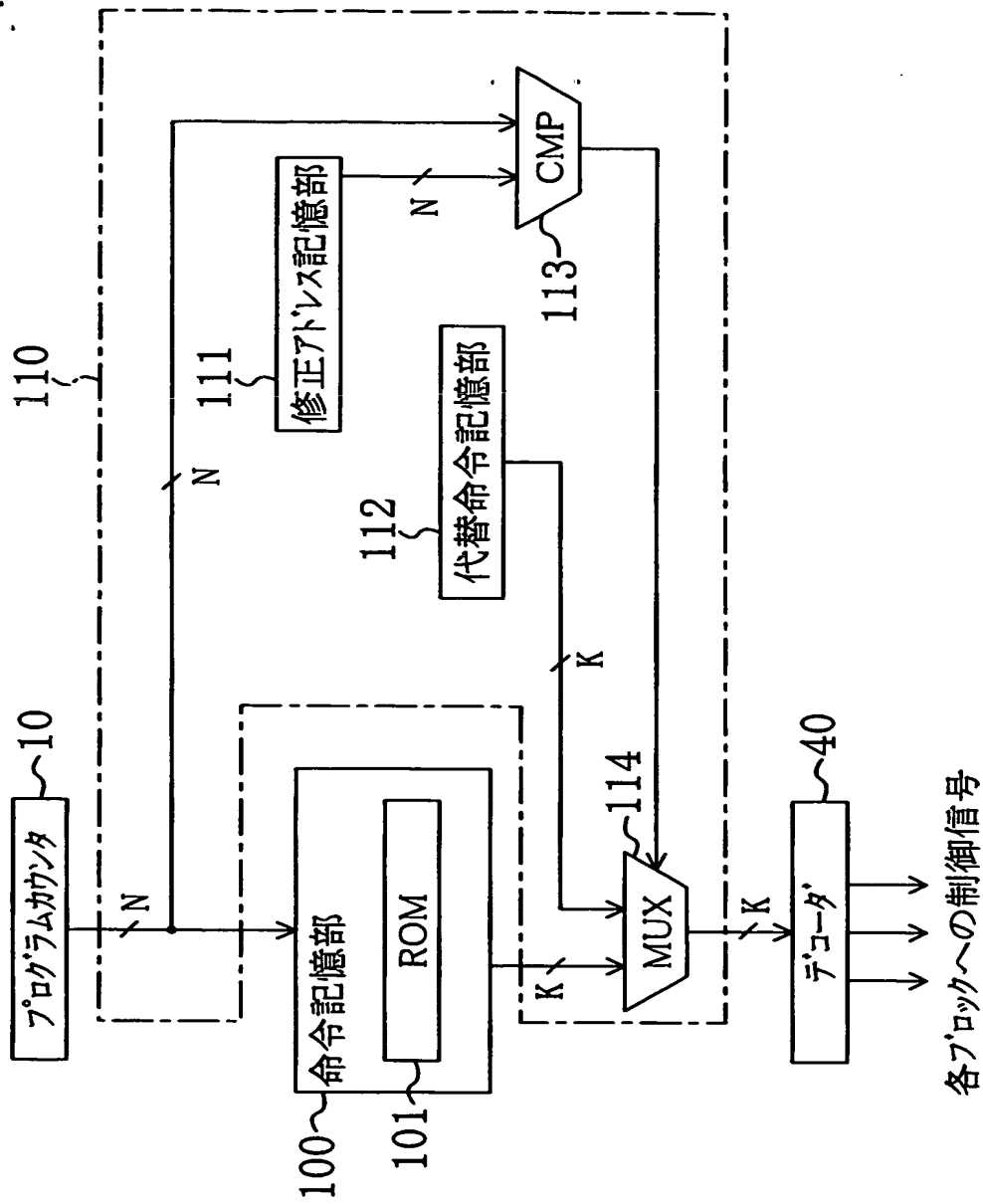
【図10】



【図 1 1】



【図12】



【書類名】 要約書

【要約】

【課題】 マイクロプロセッサとして、不要な分岐命令や割り込み処理を伴わないプログラム変更機能を実現する。

【解決手段】 命令記憶部 3 0 は、処理対象のプログラムを構成する命令を格納する ROM 3 1 と、プログラム変更のための修正命令を格納する修正命令記憶部 3 2 とを有する。アドレス変換部 2 0 は、プログラムカウンタ 1 0 から供給された命令アドレスの上位ビットが修正アドレスの上位ビット（4 7）と一致するとき、修正命令記憶部 3 2 で修正命令が格納された代替アドレスの上位ビット（C 0）に変換する。これにより、分岐命令や割り込み処理を伴うことなく、連続した領域についてプログラム変更を実現することができる。

【選択図】 図 5

出 願 人 履 歴 情 報

識別番号 [000005821]

1. 変更年月日	1990年 8月28日
[変更理由]	新規登録
住 所	大阪府門真市大字門真1006番地
氏 名	松下電器産業株式会社